PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-099878
(43)Date of publication of application : 09.05.1987

(51)Int.Cl. G06K 7/08
G06K 7/10
G11B 20/10

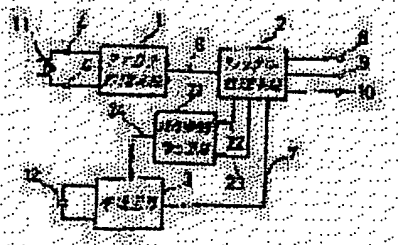
(21)Application number : 60-240284
(22)Date of filing : 25.10.1985

(71)Applicant : MITSUBISHI ELECTRIC CORP
(72)Inventor : HIKINO MIKIO

(54) DATA DEMODULATOR

(57)Abstract:
PURPOSE: To attain the power consumption in a waiting mode by actuating an oscillating circuit only in a period during which a signal to be demodulated exists.

CONSTITUTION: A signal 4 to be demodulated which is outputted from a magnetic head 11 is processed by the analog and digital processing means 1 and 2 respectively and outputted in the form of demodulated signals 8W10. A detecting circuit 21 for signal to be demodulated receives the control signals 22 and 23 from the means 2 and outputs an oscillation control signal 24. Then an oscillating circuit 3 works only in a period during which the signal 24 is kept at H and has no actuation in a waiting mode. At the same time, also the processor 2 has no actuation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

BEST AVAILABLE COPY

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　昭62-99878

⑤1Int.Cl.⁴	識別記号	庁内整理番号	⑬公開
G 06 K 7/08		2116-5B	
7/10		K-2116-5B	
G 11 B 20/10		L-6733-5D	

昭和62年(1987)5月9日

審査請求 未請求 発明の数 1 (全4頁)

⑤4発明の名称　データ復調器

⑳特　願　昭60-240284
㉒出　願　昭60(1985)10月25日

㉗発明者　引野　幹夫　伊丹市瑞原4丁目1番地　三菱電機株式会社北伊丹製作所内
㉑出願人　三菱電機株式会社　東京都千代田区丸の内2丁目2番3号
㉔代理人　弁理士　早瀬　憲一

明　細　書

1．発明の名称

データ復調器

2．特許請求の範囲

(1) 磁気カードリーダ等に用いるデータ復調器において、

被復調信号を入力とするアナログ処理手段と、

上記アナログ処理手段の出力を入力とし復調信号を出力するディジタル処理手段と、

上記ディジタル処理手段からの制御信号を入力とし、被復調信号の有る期間を示す発振制御信号を出力する被復調信号検出回路と、

上記発振制御信号を受け、該信号の有る期間のみ動作し上記ディジタル処理手段にクロック信号を出力する発振回路とからなることを特徴とするデータ復調器。

3．発明の詳細な説明

(産業上の利用分野)

磁気カードリーダやバーコードリーダ等に用いるデータ復調器に関するものである。

(従来の技術)

磁気カードリーダに用いるデータ復調器の従来例を図に基づいて説明する。第3図、第4図は従来のデータ復調器を示すブロック図及びその動作時の信号波形を示す図である。図において、1はアナログ処理手段、2はディジタル処理手段、3は発振回路、11は磁気ヘッド、4は磁気ヘッド11から出力されアナログ処理手段1へ入力される被復調信号、6はディジタル処理手段2へ入力されるアナログ処理手段1の出力信号、7は発振回路から出力されるクロック信号、8，9，10はディジタル処理手段2から出力されるカード走行信号、リードクロック信号、及びリードデータ信号等の復調信号、12は発振用コンデンサ、23はディジタル処理手段2内において発生する信号である。

この従来装置においては、磁気カードの磁気ストライプに記録されたデータは磁気ヘッド11によって読出され、被復調信号4となり、アナログ処理手段1に入力される。該アナログ処理手段1

BEST AVAILABLE COPY

においては、上記信号4の増巾、ピーク検出、波形整形の処理がされ信号6が出力される。次に信号6が入力されたディジタル処理手段2では、ディジタル処理が実施され、読取り中を示すカード走行信号8、入力信号6から抽出したリードクロック信号9とリードデータ信号10が出力される。一方、データの読取りが終了すると信号4の変化はなくなり、信号6の状態変化もなくなる。そしてディジタル処理手段2により、信号6の状態変化がある一定期間無くなったことが検出され信号23が発生すると同時に、信号8が終了する。またコンデンサ12を外部接続することにより動作する発振回路3によりディジタル処理手段2の動作タイミングを決めるクロック信号が出力される。実際のデータは、信号8～10を例えばマイクロコンピュータで処理して得られる。

〔発明が解決しようとする問題点〕

しかしながら、上記従来例では、データ読取り期間外、すなわち待機時もアナログ処理手段1、ディジタル処理手段2、発振回路3とも電源電流がそれぞれ流れているため、消費電流が大きいという欠点がある。また磁気カードリーダをバッテリ動作させる場合には、とくに待機時の消費電流が大きいのは致命的欠点となる。

本発明は、上記のような問題点を解消するためになされたもので、待機時の消費電流を低減することのできるデータ復調器を提供せんとするものである。

〔問題点を解決するための手段〕

本発明に係るデータ復調器は、被復調信号の有る期間を検出し、該期間のみ発振回路を動作させる発振制御信号を出力する被復調信号検出回路を設けたものである。

〔作用〕

本発明においては、被復調信号検出回路が、ディジタル処理手段からの制御信号を入力して被復調信号の有る期間を示す発振制御信号を出力し、そして発振回路が、該発振制御信号を受け該信号の有る期間のみ動作するので、待機時の発振回路及びディジタル処理手段の消費電流はほとんど0となる。

〔実施例〕

第1図は本発明の一実施例による磁気カードリーダに用いるデータ復調器を示すブロック図、第2図はその動作時の信号波形を示す図である。図において、1ないし12は第3図及び第4図と同一符号は同一部分を示す。21はディジタル処理手段2からの制御信号22、23を入力とし、被復調信号の有る期間を示す発振制御信号24を出力する被復調信号検出回路である。ここで制御信号22は信号6の立上りエッジ、立下りエッジごとに発生するエッジパルス信号、制御信号23は信号6の状態変化がある一定期間なくなったことを示す信号であり、発振制御信号24は信号22の最初のパルスの立上がりで"H"となり信号23の立上がりで"L"に戻る信号である。

次に動作について説明する。磁気ヘッド11から出力される被復調信号4は従来例と同様にアナログ処理手段1及びディジタル処理手段2により処理され、復調信号8、9、10として出力される。そして本実施例では、被復調信号検出回路21はディジタル処理手段2からの制御信号22、23を受けて発振制御信号24を出力する。すると発振回路3は該信号24が"H"の期間のみ動作する。このように、発振回路3は該信号24が"H"の期間、すなわちデータ読取り時のみ電流が流れて発振し、待機時には該回路3は動作せず、回路電流はほとんど0となる。また該回路3のクロック信号出力がないためディジタル処理手段2も動作せず、一般にCMOS回路で構成されている該ディジタル処理手段2での消費電流もほぼ0となる。例えば、発振周波数1MHzにおいて、データ読取り時の消費電流が2mAに対し待機時は0.8mAに低減できることが確認されている。

なお、本実施例において、高精度を要求されるアナログ処理手段や発振回路をバイポーラ素子による回路とし、ディジタル処理手段をCMOS回路とし、これらを被復調信号検出回路とともに1チップ上に構成して半導体集積回路とした場合にも、被復調信号検出回路を設けたことによるチッ

BEST AVAILABLE COPY

プ面積の増大は2～3%であるので、コスト的にもなんら問題はない。

このように本実施例では、発振回路は被復調信号の有る期間のみ動作するので、待機時の不要な消費電流を無くすことができ、特にバッテリ動作させる磁気カードリーダに用いて有効である。

なお、上記実施例では磁気カードリーダに用いるデータ復調器について説明したが、これはバーコードリーダに用いるデータ復調器にも適用することができる。

〔発明の効果〕

以上のように本発明によれば、データ復調器において、被復調信号検出回路を設け、被復調信号の有る期間のみ発振回路が動作するようにしたので、待機時の消費電流を低減できるデータ復調器が得られる効果がある。

4．図面の簡単な説明

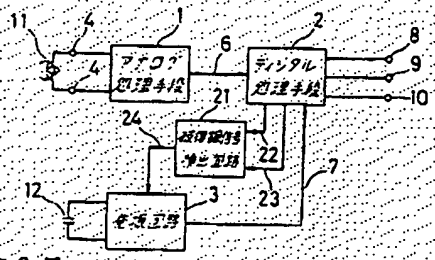
第1図，第2図は本発明の一実施例によるデータ復調器を示すブロック図及びその動作時の信号波形を示す図、第3図，第4図は従来のデータ復調器を示すブロック図及びその動作時の信号波形を示す図である。

図において、1はアナログ処理手段、2はディジタル処理手段、3は発振回路、21は被復調信号検出回路、22，23は制御信号、24は発振制御信号である。

なお図中同一符号は同一又は相当部分を示す。

代理人　早　川　政　一

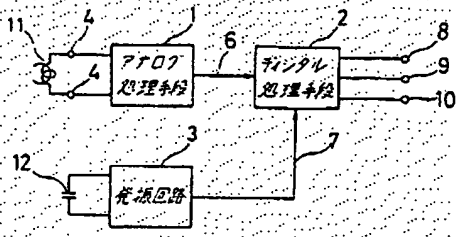
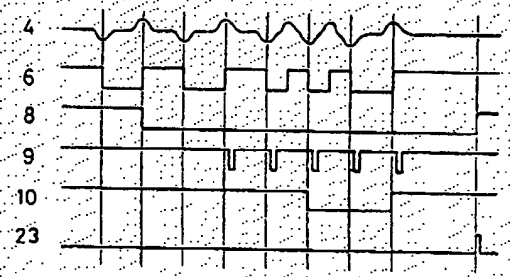
第1図



第2図

BEST AVAILABLE COPY

第3図



第4図